

(11)Publication number : **2003-333431**  
(43)Date of publication of application : **21.11.2003**

(21)Application number : **2002-138992** (71)Applicant : **VICTOR CO OF JAPAN LTD**  
(22)Date of filing : **14.05.2002** (72)Inventor : **FUNAKI MASANORI**  
**SHIMIZU TAKESHI**

Figure 1 consists of a schematic diagram and a timing diagram for a 2D image sensor.

**Schematic Diagram:** The circuit includes a photodiode (PD) connected to a node labeled 'A'. This node is also connected to the gate of access transistor  $M_{px1}$ . The source of  $M_{px1}$  is connected to the gate of access transistor  $M_{px2}$ . The source of  $M_{px2}$  is connected to the gate of source follower transistor  $M_{sr1}$ . The source of  $M_{sr1}$  is connected to the gate of readout transistor  $M_{srp}$ . The source of  $M_{srp}$  is connected to the output node  $V_{out}$ . The gates of  $M_{px1}$ ,  $M_{px2}$ , and  $M_{sr1}$  are connected to a common gate voltage  $V_{g1}$ . The gates of  $M_{srp}$  and  $M_{sr1}$  are connected to a common gate voltage  $V_{g2}$ . The gates of  $M_{px1}$  and  $M_{px2}$  are connected to a common gate voltage  $V_{g3}$ . The gates of  $M_{sr1}$  and  $M_{srp}$  are connected to a common gate voltage  $V_{g4}$ . The source of  $M_{sr1}$  is connected to a common source voltage  $V_{ss}$ . The source of  $M_{srp}$  is connected to a common source voltage  $V_{dd}$ .

**Timing Diagram:** The timing diagram shows the waveforms for clock signals  $C1$ ,  $C2$ ,  $C3$ , and  $C4$ , gate voltages  $V_{g1}$ ,  $V_{g2}$ ,  $V_{g3}$ , and  $V_{g4}$ , and the output signal  $V_{out}$ . The clock signals are shown as square waves. The gate voltages are shown as square waves with different phases. The output signal  $V_{out}$  is shown as a square wave that is high during the  $C1$  and  $C2$  phases and low during the  $C3$  and  $C4$  phases.

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAMta4CbDA415333431P1.htm> 7/10/2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-333431

(P2003-333431A)

(43) 公開日 平成15年11月21日 (2003. 11. 21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-リ-ド <sup>*</sup> (参考)
H 0 4 N	5/335	H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L	21/8234	H 0 1 L 27/14	A 5 F 0 4 8
	27/06	27/06	1 0 2 A
	27/146		
審査請求 未請求 請求項の数 3 O L (全 10 頁)			

(21) 出願番号 特願2002-138992 (P2002-138992)

(22) 出願日 平成14年5月14日 (2002. 5. 14)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 舟木 正紀

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 清水 健

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100085235

弁理士 松浦 兼行

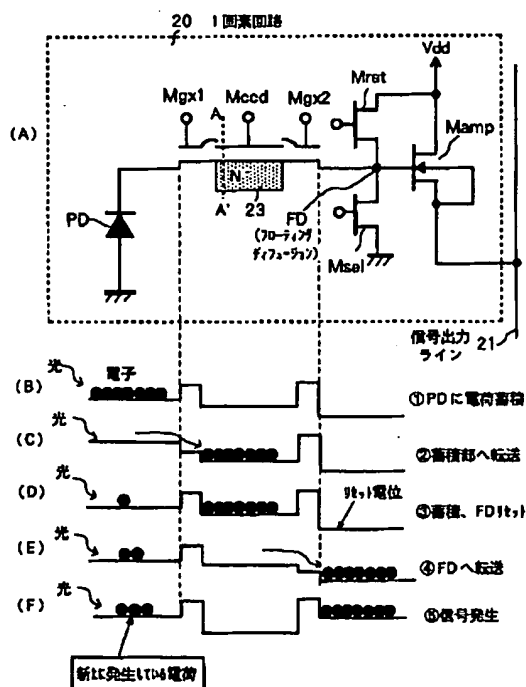
最終頁に続く

(54) 【発明の名称】 固体撮像装置とその駆動方法

(57) 【要約】

【課題】 フォトダイオードで発生した電荷を蓄積するための蓄積用ゲートが表面チャネル型になっているため、ダークカレントと呼ばれるリーク電流が発生し、ノイズが発生することがある。

【解決手段】 全画素の  $Mg \times 1$  及び  $Mcc d$  がそれぞれ一斉にオンとされ、全画素のフォトダイオード PD に蓄積されていた電荷が全画素で対応するゲート  $Mg \times 1$  を通して、MOS 型蓄積用ゲート  $Mcc d$  の直下の基板領域 (埋め込みチャネルを形成する  $N^-$  層 23) に転送されて蓄積、保持される (C)。MOS 型ゲート  $Mg \times 1$  がオフとされ、フォトダイオード PD は入射光を光電変換して再び電荷の蓄積を開始する (D)。MOS 型ゲート  $Mg \times 2$  がオンとされ、蓄積用ゲート  $Mcc d$  のゲート直下の基板領域に蓄積されていた電荷が MOS 型ゲート  $Mg \times 2$  の直下の基板領域へ転送開始される (E)。



#### 【特許請求の範囲】

【請求項1】 被写体からの入射光を光電変換するフォトダイオードと、前記フォトダイオードで光電変換して得られる電荷を蓄積する電荷蓄積部と、前記電荷蓄積部から転送される電荷を電位変化に変換するフローティングディフュージョンに接続されて前記電位変化を増幅して外部へ出力する増幅用トランジスタとを少なくとも備えている基板上に形成された各画素が、二次元マトリクス状に、又は一次元ライン状に複数配列された固体撮像装置において、

前記電荷蓄積部は、前記基板の所定領域に前記フォトダイオードからの電荷を一時的に蓄積する蓄積用ゲートと、前記フォトダイオードと前記蓄積用ゲートの間に設けられて前記フォトダイオードからの電荷を前記蓄積用ゲートの直下の前記所定領域へ転送する第1のスイッチ用ゲートと、前記蓄積用ゲートと前記フローティングディフュージョンの間に設けられて前記蓄積用ゲートの直下の前記所定領域に蓄積されている電荷を前記フローティングディフュージョンへ転送する第2のスイッチ用ゲートとからなり、前記蓄積用ゲートの直下の前記所定領域は、基板と異なる導電型の不純物で形成された埋め込みチャネルを形成していることを特徴とする固体撮像装置。

【請求項2】 被写体からの入射光を光電変換するフォトダイオードと、前記フォトダイオードで光電変換して得られる電荷を蓄積する電荷蓄積部と、前記電荷蓄積部から転送される電荷を電位変化に変換するフローティングディフュージョンに接続されて前記電位変化を増幅して外部へ出力する増幅用トランジスタとを少なくとも備えている基板上に形成された各画素が、二次元マトリクス状に、又は一次元ライン状に複数配列された固体撮像装置において、

前記電荷蓄積部は、前記基板の所定領域に前記フォトダイオードからの電荷を一時的に蓄積する蓄積用ゲートと、前記フォトダイオードと前記蓄積用ゲートの間に設けられて前記フォトダイオードからの電荷を前記蓄積用ゲートの直下の前記所定領域へ転送する第1のスイッチ用ゲートと、前記蓄積用ゲートと前記フローティングディフュージョンの間に設けられて前記蓄積用ゲートの直下の前記所定領域に蓄積されている電荷を前記フローティングディフュージョンへ転送する第2のスイッチ用ゲートとからなり、かつ、前記第1のスイッチ用ゲートと前記蓄積用ゲートの両ゲート電極は一体化されて単一のゲート電極とされており、前記蓄積用ゲートの直下の前記所定領域は、基板と異なる導電型の不純物で形成された埋め込みチャネルを形成していることを特徴とする固体撮像装置。

【請求項3】 請求項1又は2記載の固体撮像装置の前記蓄積用ゲートに対し、所定値よりも高い電位のゲート電位を印加して、前記フォトダイオードで発生した電荷

を前記蓄積用ゲートの直下の基板領域へ転送する第1のステップと、前記電荷転送終了後は前記蓄積用ゲートに対し、前記所定値よりも低い電位のゲート電位を印加して、前記蓄積用ゲートの直下の基板領域に前記電荷を蓄積する第2のステップとを含むことを特徴とする固体撮像装置の駆動方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は固体撮像装置とその駆動方法に係り、特に埋め込みチャネル型電荷蓄積層を持ったCMOSイメージセンサとその駆動方法に関する。

##### 【0002】

【従来の技術】半導体の光イメージセンサである固体撮像装置には、大きく分けてCCD方式とCMOSセンサ方式の2つがある。両者の違いは、光を電荷に変換するフォトダイオードの電荷の情報をいかに各受光素子の外に伝えるかということにある。CCD方式は、発生した電荷をCCD (Charge Coupled Device) により直接転送して素子外部に伝える。一方、CMOSセンサ方式は、発生した電荷による電位の情報を各素子にあるアンプを通して素子外部に伝える。

【0003】また、上記の両方式の得失について説明すると、CCD方式は製造には特殊プロセスが必要であるため、専用の製造ラインが必要になる。一方、CMOSセンサは通常のCMOS—LSIプロセスと殆ど同じ方法で製造できるので、CMOS—LSI用の製造ラインをそのまま使える。また、CMOSセンサ方式では、エリアセンサと他のCMOS回路を混在できるというメリットがある。

【0004】他方、CMOSセンサ方式はCCD方式に比べて固定パターン雑音が大いという問題点がある。固定パターン雑音は、主にアンプ用トランジスタのしきい値電圧のバラツキによっている。しかし、CCD方式は電荷転送を実行するために、複数の電源が必要になるが、CMOSセンサ方式は単一電源でよく、CCD方式よりも電圧が低い。従って、消費電力はCCD方式よりもCMOSセンサ方式の方が少ないというメリットがある。

【0005】次に、CMOSイメージセンサの全体の構成について説明する。図6は従来の固体撮像装置の一例の全体構成図を示す。この固体撮像装置は、最も一般的なCMOSイメージセンサであり、3行3列に画素

$1_{11} \sim 1_{33}$  が基板上に配置されている。なお、ここでは、図示の簡略化のために2次元マトリクス状に配置される画素は3行3列の9個としたが、実際には膨大な数の画素が配置される。また、一次元直線状に画素が配置される場合もある。

【0006】各画素 $1_{11} \sim 1_{33}$ は列単位で負荷とノイズキャンセラ6が設けられている。ノイズキャンセラ

6には通常CDS回路(相関二重サンプリング回路)が使われる。画素 $1_{11} \sim 1_{33}$ の各列のフォトダイオードで発生した電荷は、対応するアンプ3で増幅されて切替スイッチ4を介してノイズキャンセラ6へ出力され、更に水平シフトレジスタ7で、順次水平転送されて外部へ出力される。CMOSイメージセンサ上で像は左右反転しているため、通常処理は、右の列から左の列に処理が進む。また、内部にA/D変換回路を持ち、デジタル信号で出力することもある。

【0007】図7は従来の固体撮像装置の1画素分の一例の等価回路図を示す。図7に示す従来の固体撮像装置は、最も一般的な転送トランジスタ付きのCMOSイメージセンサの画素構成を示しており、フォトダイオードPD1個に、MOS型電界効果トランジスタ(以下、単にトランジスタという)4個から構成されている。

【0008】これら4個のトランジスタは、フォトダイオードPDのN型層にソースが接続された転送用トランジスタMgxと、トランジスタMgxのドレインにソースが接続されたリセット用トランジスタMrstと、トランジスタMgxのドレインとトランジスタMrstのソースにゲートが接続された増幅用トランジスタMampと、増幅用トランジスタMampのソースにドレインが接続され、かつ、ソースが信号出力ライン8に接続された行選択用トランジスタMselであり、通常これらはいずれもnチャネルのFETである。

【0009】リセット用トランジスタMrstは、増幅用トランジスタMampのゲート電圧をリセットする。増幅用トランジスタMampは、フォトダイオードPDの発生した電荷による電圧の変動を増幅する。行選択用トランジスタMselは、出力する行を選択する。転送用トランジスタMgxは、フォトダイオードPDの電荷を増幅用トランジスタMampのゲート(フローティングディフュージョン:FD)に転送する。

【0010】次に、この従来装置の動作について説明する。図7に示す画素は最上行、最下行でない、どこか中間の行のある列の画素であるとする。まず、行選択用トランジスタMsel、リセット用トランジスタMrstがそれぞれオフである状態から、図8(A)に示すようにリセット用トランジスタMrstのゲート電圧がハイレベルとされてリセット用トランジスタMrstがオンしたとすると、増幅用トランジスタMampのゲート電位Vp、すなわちFDの電位Vpは、 $(V_{dd} - V_{th_{rst}})$ となる。

【0011】ここで、VddはトランジスタMrst及びMampのドレインに印加される電源電圧、Vthrstはリセット用トランジスタMrstのしきい値電圧である。トランジスタMampのゲート電圧Vpを上記の電圧にするリセットは一定期間で行われ、その後トランジスタMrstのゲート電圧が図8(A)に示すようにローレベルとされてトランジスタMrstはオフされ

る。トランジスタMselがオフである期間T1では、出力信号線8には図8(D)に示すように、出力はない。

【0012】続いて、行選択用トランジスタMselのゲート電圧が図8(B)に示すようにハイレベルとされ、トランジスタMselがオンとされると、ソースフォロワ回路である増幅用トランジスタMampが動作状態となり、そのゲート電圧VpからトランジスタMampのしきい値電圧Vthampを差し引いた $(V_p - V_{th_{amp}})$ の値の電圧がトランジスタMampのソースから出力される。ノイズキャンセラ(図6の6)はこの値を記憶する。このときの信号出力ライン8への出力電位は図8(D)にT2で示す期間の一定電位である。

【0013】続いて、行選択用トランジスタMselをオンした状態が継続している状態で、転送用トランジスタMgxのゲート電圧が図8(C)に示すように一定期間T3の間ハイレベルとなり、この期間T3の間トランジスタMgxがオンとなる。この期間T3では、フォトダイオードPDに被写体からの光を入射してフォトダイオードPDにより光電変換して得られた電荷がトランジスタMgxのソース、ドレインを通して増幅用トランジスタMampのゲートに転送される。転送後トランジスタMgxはオフとなる。

【0014】これにより、トランジスタMampのゲート電圧はVsigだけ下がる。また、フォトダイオードPDは電荷が無くなり、リセットされる。一方、画素から出力信号ライン8への出力電位は、図8(D)に示すように、 $(V_p - V_{sig} - V_{th_{amp}})$ となる。期間T4の間ノイズキャンセラは、この値と前記期間T2で記憶した値の差をとり、信号成分Vsigを取り出す。

【0015】期間T4経過後に行選択用トランジスタMselのゲート電圧が図8(B)に示すようにローレベルとされ、トランジスタMselがオフとされ、他の画素の処理が終わるのを待つ。その後、再び最初に戻り、行選択用トランジスタMselがオフの状態でリセット用トランジスタMrstがオンとされる。

【0016】しかるに、上記の図7に示した従来の固体撮像装置では、ローリング・シャッタという、1行毎に時間情報のずれた画像情報しか得ることができず、その結果、フレームシャッタによる時間的に揃った1枚の画像からなる、きれいな静止面を得ることができないという問題がある。

【0017】そこで、画素内に電荷蓄積部(メモリ)を設け、全画素で同時にメモリに転送し、それを順次読み出すことで、静止面を得ることが可能となる。このような固体撮像装置として、本出願人が先に特願2002-006657号にて提案した図1(A)に示す等価回路で示される各画素を備えた固体撮像装置がある。図9

(A)に示す1画素回路10は、電源電圧Vddが印加

されるフォトダイオードPDのN型層と、増幅用トランジスタMampのゲートとの間に、蓄積用ゲートMccdと、蓄積用ゲートMccdを中央にして隣接配置された2つのスイッチ用MOS型ゲートMgx1及びMgx2からなる電荷蓄積部が設けられている。一方のMOS型ゲートMgx1がフォトダイオードPDに接続され、他方のMOS型ゲートMgx2がFD（フローティングディフュージョン）に接している。

【0018】FDは電荷量を電位変化に変換する。また、リセット用トランジスタMrstは、ドレインが所定の電位の供給ライン（通常は電源電圧Vdd）に接続され、ソースがFDに接して設けられて、FDをリセット電位にする。また、画素選択用トランジスタMselは、ドレインがFDに、ソースがグランドに接続され、ゲートに画素選択用制御信号が印加されてスイッチング動作する。

【0019】更に、増幅用トランジスタMampは、ゲートがFDに接続され、ドレインが所定の電位の供給ライン（通常は電源電圧Vdd）に接続され、ソースが信号出力ライン11に接続されており、そのソースとフローティング状態の基板とが接続され、基板効果が起こらないようにした構成とされており、また、ソースフォロウ回路を構成している。この増幅用トランジスタMampのしきい値電圧は、他のゲート又はトランジスタMccd、Mgx1、Mgx2、Mrst及びMselのしきい値電圧よりも低く設定されており、フローティングドレインの電位変化をより小さなロスで、信号出力ライン11に伝送する。

【0020】次に、この1画素回路10の動作について、図9（B）～（F）の電荷とポテンシャルの移動の様子を示すタイミングチャート、及び図10のタイミングチャートと共に説明する。まず、Mccd、Mgx1及びMgx2がそれぞれオフである状態において、フォトダイオードPDに被写体からの入射光を光電変換して得られた電荷が発生し、図9（B）に模式的に示すようにフォトダイオードPDに入射光量に応じた量の電荷（電子）が蓄積される。

【0021】続いて、図示しない制御回路からの制御信号により全画素のMgx1及びMccdに図10

（A）、（B）に示すように時刻t1でそれぞれハイレベルの制御信号が供給されて、全画素のMgx1及びMccdがそれぞれ一斉にオンとされ、全画素のフォトダイオードPDに蓄積されていた電荷が全画素で対応するMOS型ゲートMgx1を通して、図9（C）に示すように蓄積用ゲートMccd直下に転送されて蓄積、保持される。これにより、フォトダイオードPDの蓄積電荷が一旦無くなる。

【0022】フォトダイオードPDのすべての電荷が蓄積用ゲートMccdの直下の基板領域に転送終了後、図9（D）に示すように、MOS型ゲートMgx1がオフ

とされ、フォトダイオードPDは入射光を光電変換して再び電荷の蓄積を開始する。一方、MOS型蓄積用ゲートMccdはオンのままとされており、そのゲート直下の基板領域に電荷を保持し続け、注目画素の処理が始まるまでこの状態で待機する。

【0023】次に、画素選択用トランジスタMselのゲートに図示しない制御回路から図10（E）に示すように時刻t2でローレベルとなる制御信号が供給されて、トランジスタMselがオフとされ、FDは電氣的に浮いた状態となる。そして、注目画素の処理が始まると、図10（D）に示すようにトランジスタMrstが時刻t3から所定時間だけオンとされ、FDはリセット電位Vrstになる。このFDのリセット電位VrstはトランジスタMampで増幅されてから信号出力ライン11へ出力される。このときの図10（F）に示す出力電位は、 $(Vrst - Vthamp)$ である。ただし、 $Vthamp$ は増幅用トランジスタMampのしきい値電圧である。

【0024】続いて、図示しない制御回路からMOS型ゲートMgx2へ、図10（C）に示すように時刻t4でハイレベルの制御信号が供給されてMOS型ゲートMgx2がオンとされ、図9（E）に模式的に示すように、MOS型蓄積用ゲートMccdの直下の基板領域に蓄積されていた電荷がMOS型ゲートMgx2の直下の基板領域へ転送開始され、次いでMOS型蓄積用ゲートMccdへ図10（B）に示すように時刻t5でローレベルの制御信号が供給されてMOS型蓄積用ゲートMccdがオフとされ、最後にMOS型ゲートMgx2へ印加されている制御信号が、図10（C）に示すように時刻t6でローレベルへ変化することにより、MOS型ゲートMgx2もオフとされて図9（F）に模式的に示すように電荷の転送が完了する。

【0025】FDの電位は電荷量に応じて変化する。その変化がトランジスタMampによるソースフォロウ回路により増幅されて信号出力ライン11に出力される。このときの出力電位は $(Vrst - Vthamp - Vsig)$ である。ただし、 $Vsig$ は、電荷量に応じたFDの電位の変化量である。

【0026】その後、時刻t7でトランジスタMselが図10（E）に示すようにそのゲート制御信号がハイレベルとなりオンされることによりFDは0Vとなり、トランジスタMampのゲート電位は0Vとなるから、トランジスタMampはオフとなり、画素から信号出力ライン11への出力は無くなる。以下、上記と同様の動作が繰り返される。

【0027】この本出願人が提案した固体撮像装置では、Mgx1、Mccd及びMgx2からなる電荷蓄積部を設けているので、同時刻に全画素のフォトダイオードにより光電変換された被写体からの入射光に応じた電荷を、全画素の電荷蓄積部で同時に蓄積してから順次転

送することができることから、フレームシャッタによる時間的に揃った画像を得ることができる。

【0028】

【発明が解決しようとする課題】しかるに、図9に示した本出願人の提案になる固体撮像装置は、メモリ用の蓄積用ゲートMcc dが表面チャネル型になっており、表面酸化膜界面付近の結晶欠陥等で発生する電子正孔対により、ダークカレントと呼ばれるリーク電流が発生し、ノイズになるという問題があった。

【0029】本発明は上記の点に鑑みなされたもので、電荷蓄積部を、酸化膜界面に電荷を蓄積する表面チャネル型でなく、埋め込みチャネル型にし、酸化膜界面で発生する雑音を排除し得る固体撮像装置とその駆動方法を提供することを目的とする。

【0030】

【課題を解決するための手段】上記の目的を達成するため、第1の発明の固体撮像装置は、被写体からの入射光を光電変換するフォトダイオードと、フォトダイオードで光電変換して得られる電荷を蓄積する電荷蓄積部と、電荷蓄積部から転送される電荷を電位変化に変換するフローティングディフュージョンに接続されて電位変化を増幅して外部へ出力する増幅用トランジスタとを少なくとも備えている基板上に形成された各画素が、二次元マトリクス状に、又は一次元ライン状に複数配列された固体撮像装置において、電荷蓄積部は、基板の所定領域にフォトダイオードからの電荷を一時的に蓄積する蓄積用ゲートと、フォトダイオードと蓄積用ゲートの間に設けられてフォトダイオードからの電荷を蓄積用ゲートの直下の所定領域へ転送する第1のスイッチ用ゲートと、蓄積用ゲートとフローティングディフュージョンの間に設けられて蓄積用ゲートの直下の所定領域に蓄積されている電荷をフローティングディフュージョンへ転送する第2のスイッチ用ゲートとからなると共に、蓄積用ゲートの直下の所定領域は、基板と異なる導電型の不純物で形成された埋め込みチャネルを形成する構成としたものである。

【0031】この発明では、フォトダイオードで発生した電荷は、蓄積用ゲートの直下の埋め込みチャネルの所定領域に転送されて蓄積された後、フローティングディフュージョンへ転送されるため、基板表面のゲート酸化膜に接触しないで転送できる。

【0032】また、上記の目的を達成するため、第2の発明の固体撮像装置は、第1の発明の第1のスイッチ用ゲートと蓄積用ゲートの両ゲート電極を一体的に構成したものである。この発明では、ゲート電極数が減少するため、配線数を減少できる。

【0033】また、上記の目的を達成するため、本発明の固体撮像装置の駆動方法は、第1又は第2の発明の固体撮像装置の蓄積用ゲートに対し、所定値よりも高い電位のゲート電位を印加して、フォトダイオードで発生し

た電荷を蓄積用ゲートの直下の基板領域へ転送する第1のステップと、電荷転送終了後は蓄積用ゲートに対し、所定値よりも低い電位のゲート電位を印加して、蓄積用ゲートの直下の基板領域に電荷を蓄積する第2のステップとを含むことを特徴とする。

【0034】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1(A)は本発明になる固体撮像装置の第1の実施の形態の1画素回路の等価回路図を示す。同図(A)に示す1画素回路20は、電源電圧Vddが印加されるフォトダイオードPDのN型層と、増幅用トランジスタMampのゲートとの間に、蓄積用ゲートMcc dと、蓄積用ゲートMcc dを中央にして隣接配置された2つのスイッチ用MOS型ゲートMgx 1及びMgx 2からなる電荷蓄積部が設けられている。一方のMOS型ゲートMgx 1がフォトダイオードPDに接続され、他方のMOS型ゲートMgx 2がFD（フローティングディフュージョン）に接している。

【0035】また、リセット用トランジスタMrstは、ドレインが所定の電位の供給ライン（通常は電源電圧Vdd）に接続され、ソースがFDに接して設けられて、FDをリセット電位にする。また、画素選択用トランジスタMselは、ドレインがFDに、ソースがグラウンドに接続され、ゲートに画素選択制御信号が印加されてスイッチング動作する。

【0036】更に、増幅用トランジスタMampは、ゲートがFDに接続され、ドレインが所定の電位の供給ライン（通常は電源電圧Vdd）に接続され、ソースが信号出力ライン11に接続されており、そのソースとフローティング状態の基板とが接続され、基板効果が起こらないようにした構成とされており、また、ソースフォロワ回路を構成している。この増幅用トランジスタMampのしきい値電圧は、他のゲート又はトランジスタMcc d、Mgx 1、Mgx 2、Mrst及びMselのしきい値電圧よりも低く設定されており、フローティングドレインの電位変化をより小さなロスで、信号出力ライン21に伝送する。

【0037】ここで、本実施の形態と図9に示した本出願人が先に提案した固体撮像装置との相違点は、図9の固体撮像装置では蓄積用ゲートMcc dの電極がゲート酸化膜を介してP型の基板（又はウェル）上に形成されている表面チャネル型であるのに対し、本実施の形態では、蓄積用ゲートMcc dの電極が酸化膜及びN型の拡散層を介してP型の基板（又はウェル）上に形成されている埋め込みチャネル型になっている点である。この結果、本実施の形態では、蓄積用ゲートMcc dが、電荷を蓄積していない場合でも、図9の場合よりもポテンシャルが低くなっている。

【0038】図3は、図1のA-A'断面のポテンシャルプロファイルを示す。図3中、横軸は深さ方向であ

り、縦軸は下向きに電位をとっている。蓄積用ゲートMcc dの電極直下のゲート酸化膜22の下には埋め込みN<sup>-</sup>層23があり、そのさらに下にはPウェル24がある。すなわち、N型基板に設けられたPウェル24内にN<sup>-</sup>型拡散層が埋め込みN<sup>-</sup>層23として形成されており、その埋め込みN<sup>-</sup>層23上にゲート酸化膜22を介して形成された電極が蓄積用ゲートMcc dを構成している。

【0039】このN<sup>-</sup>層23の深さは、例えば0.1～0.3μm程度であり、濃度は1E15～1E17cm<sup>-3</sup>程度である。一方、Pウェル24は濃度が1E16～5E17cm<sup>-3</sup>程度である。なお、N型基板に設けられたPウェル24上にゲート酸化膜22を介してMOS型ゲートMgx1及びMgx2の各電極が形成されている。

【0040】このN<sup>-</sup>層23の電子が無く完全空乏化している時のポテンシャルプロファイルは、ゲート電位により異なり、高い電位、例えばVDDになっている時には、図3にIで示すような表面チャネル型になる。一方、ゲート電位を0Vにした時のポテンシャルプロファイルは、図3にIIで示すように、表面が持ち上がり、N<sup>-</sup>層23のある部分で下向きにピークを持つ埋め込みチャネル型の形状となる。このポテンシャルプロファイルIIのピークの部分にIIIで示すように電子が蓄えられるため、転送される電子は表面のゲート酸化膜22に接触せず、従ってゲート酸化膜22に起因する雑音を排除できる。

【0041】次に、図1(A)に示した1画素回路20の動作について、図1(B)～(F)の電荷とポテンシャルの移動の様子を示すタイミングチャート、及び図2のタイミングチャートと共に説明する。まず、Mcc d、Mgx1及びMgx2がそれぞれオフである状態において、フォトダイオードPDに被写体からの入射光を光電変換して得られた電荷が発生し、図1(B)に模式的に示すようにフォトダイオードPDに入射光量に応じた量の電荷(電子)が蓄積される。

【0042】続いて、図示しない制御回路からの制御信号により全画素のMOS型トランジスタのゲートMgx1及びMcc dに図2(A)、(B)に示すように時刻t11でそれぞれハイレベルの制御信号が供給されて、全画素のMgx1及びMcc dがそれぞれ一斉にオンとされ、全画素のフォトダイオードPDに蓄積されていた電荷が全画素で対応するゲートMgx1を通して、図1(C)に示すようにMOS型蓄積用ゲートMcc dの直下の基板領域(N<sup>-</sup>層23)に転送されて蓄積、保持される。これにより、フォトダイオードPDの蓄積電荷が一旦無くなる。

【0043】フォトダイオードPDのすべての電荷がMOS型蓄積用ゲートMcc dの直下の基板領域に転送終了後、図1(D)に示すように、MOS型ゲートMgx

1がオフとされ、フォトダイオードPDは入射光を光電変換して再び電荷の蓄積を開始する。続いて、蓄積用ゲートMcc dのゲートに印加される信号が図2(B)に示すように、Mgx1がオフとなった直後の時刻t12でローレベルとなり、Mcc dがオフされる。

【0044】ここで、後述するように、蓄積用ゲートMcc dの直下の基板領域にのみN<sup>-</sup>層23があり埋め込みチャネルを形成しているため、オフ状態のMcc dのポテンシャル電位が、オフ状態にあるMgx1及びMgx2のそれより低く、N<sup>-</sup>層23に電荷が保持され続け、注目画素の処理が始まるまでこの状態で待機する。

【0045】次に、画素選択用トランジスタMselのゲートに図示しない制御回路から図2(E)に示すように時刻t13でローレベルとなる制御信号が供給されて、トランジスタMselがオフとされ、FDは電氣的に浮いた状態となる。そして、注目画素の処理が始まると、図2(D)に示すようにトランジスタMrstが時刻t14から所定時間だけオンとされ、FDはリセット電位Vrstになる。

【0046】このFDのリセット電位VrstはトランジスタMampで増幅されてから信号出力ライン21へ出力される。このときの図2(F)に示す出力電位は、(Vrst-Vthamp)である。ただし、Vthampは増幅用トランジスタMampのしきい値電圧である。

【0047】続いて、図示しない制御回路からMOS型ゲートMgx2へ、図2(C)に示すように時刻t15でハイレベルの制御信号が供給されてMOS型ゲートMgx2がオンとされ、図1(E)に模式的に示すように、蓄積用ゲートMcc dのゲート直下の基板領域に蓄積されていた電荷がMOS型ゲートMgx2の直下の基板領域へ転送開始され、最後にMOS型ゲートMgx2へ印加されている制御信号が、図2(C)に示すように時刻t16でローレベルへ変化することにより、MOS型ゲートMgx2がオフとされて図1(F)に模式的に示すように電荷の転送が完了する。

【0048】FDの電位は電荷量に応じて変化する。その変化がトランジスタMampによるソースフォロワ回路により増幅されて信号出力ライン21に出力される。このときの出力電位は(Vrst-Vthamp-Vsig)である。ただし、Vsigは、電荷量に応じたFDの電位の変化量である。

【0049】その後、時刻t17でトランジスタMselが図2(E)に示すように、そのゲート制御信号がハイレベルとなりオンされることによりFDは0Vとなり、トランジスタMampのゲート電位は0Vとなるから、トランジスタMampはオフとなり、画素から信号出力ライン11への出力は無くなる。以下、上記と同様の動作が繰り返される。

【0050】このように、本実施の形態と図9の固体撮



像装置との違いは、蓄積用ゲートMcc dのゲートに印加する制御信号にあり、図9の固体撮像装置では図9

(C)、(D)、図10(B)に示すように電荷を蓄積している時間、Mcc dをオン状態にしているのに対して、本実施の形態では、Mgx 1がオフになってしばらくして、図2(B)に示す時刻t12でMcc dもオフとなり、Mcc dがオフの状態、図1(D)に模式的に示すように電荷を蓄積する。

【0051】本実施の形態では、このMgx 1とMcc dのオフになるタイミングのずれは、あった方がより確実に電荷をフォトダイオードPDからMcc d直下の基板領域(N<sup>-</sup>層23)に転送できるが、オフになるタイミングのずれが全く無い0secでも問題はない。その理由は、Mgx 1とMcc dのしきい値電圧を比較すると、Mcc d直下の基板領域にのみN<sup>-</sup>層23があるため、Mcc dのしきい値電圧の方がMgx 1のそれより低くなる。従って、同じタイミングでMgx 1とMcc dにオフの信号が入っても、しきい値電圧の高いMgx 1の方が先にオフになるため、事実上タイミングをずらしてオフの信号を入れたのと同じ効果が得られるからである。

【0052】このようにして、本実施の形態によれば、蓄積用ゲートMcc dの直下の基板領域を転送される電子は、基板表面のゲート酸化膜に接触せず、従ってゲート酸化膜に起因する界面トラップによる雑音を排除できる。

【0053】次に、本発明の第2の実施の形態について説明する。図4(A)は本発明になる固体撮像装置の第2の実施の形態の1画素回路の等価回路図を示す。同図(A)中、図1(A)と同一構成部分には同一符号を付し、その説明を省略する。図4(A)に示す1画素回路30は、第1の実施の形態で示したMgx 1とMcc dの両ゲート電極を一体化して単一の蓄積用ゲートMcc d'としたものである。

【0054】すなわち、図2(A)、(B)で説明したように、Mgx 1とMcc dの各ゲート電極に印加する制御信号は全く同じでもよい。従って、ゲート電極を2つに分ける意味がないため、Mgx 1とMcc dの2つのゲート電極を一つのゲート電極である蓄積用ゲートMcc d'とする。このようにすると、配線数を減らすことができ、開口率を増やすことができる。

【0055】図5は図4の第2の実施の形態の動作説明用タイミングチャートを示す。このタイミングチャートは図2に示したタイミングチャートからMgx 1の制御信号波形を除いたものであり、それ以外の信号波形は図2と同じであるので、図4の動作は図1の動作と同じになり、よって図4の動作説明は省略する。

【0056】なお、本発明は以上の実施の形態に限定されるものではなく、例えば各トランジスタはNチャンネルのMOS型FETとして説明したが、電源電圧の方向を

逆にすることにより、PチャンネルのMOS型FETで構成することも可能であることは勿論である。

【0057】

【発明の効果】以上説明したように、本発明によれば、フォトダイオードで発生した電荷は、蓄積用ゲートの直下の埋め込みチャンネルの所定領域に転送されて蓄積された後、フローティングディフュージョンへ転送されることにより、基板表面のゲート酸化膜に接触しないで転送されるため、ゲート酸化膜に起因する界面トラップによる雑音を排除できる。

【0058】また、本発明によれば、第1のスイッチ用ゲートと蓄積用ゲートの両ゲート電極を一体的に構成して、ゲート電極数を減少することにより、配線数を減少したため、開口率を従来よりも上げることができる。

【0059】更に、本発明によれば、フォトダイオードで発生した電荷を蓄積用ゲートの直下の基板領域へ転送するときは、蓄積用ゲートに所定値よりも高い電位のゲート電位を印加し、電荷転送終了後は蓄積用ゲートに対し、所定値よりも低い電位のゲート電位を印加して、蓄積用ゲートの直下の基板領域に電荷を蓄積するようにしたため、基板表面のゲート酸化膜界面の雑音の発生を抑制した電荷転送・蓄積ができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の1画素回路の等価回路図とその説明用のポテンシャルと電荷の移動の様子を示す図である。

【図2】本発明の第1の実施の形態の1画素回路の動作説明用タイミングチャートである。

【図3】図1のA-A'線に沿う断面におけるポテンシャルプロファイルを示す図である。

【図4】本発明の第2の実施の形態の1画素回路の等価回路図とその説明用のポテンシャルと電荷の移動の様子を示す図である。

【図5】本発明の第2の実施の形態の1画素回路の動作説明用タイミングチャートである。

【図6】従来の固体撮像装置の一例の概略全体構成図である。

【図7】従来装置の一例の1画素回路の等価回路図である。

【図8】図7の動作説明用タイミングチャートである。

【図9】本出願人が先に提案した固体撮像装置の一例の1画素回路の等価回路図とその説明用のポテンシャルと電荷の移動の様子を示す図である。

【図10】図9の1画素回路の動作説明用タイミングチャートである。

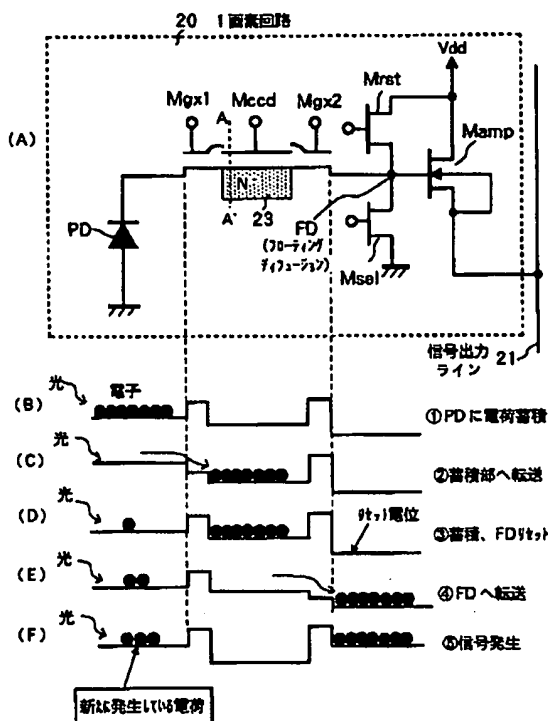
【符号の説明】

- 20、30 1画素回路
- 21 信号出力ライン
- 22 ゲート酸化膜
- 23 埋め込みN<sup>-</sup>層

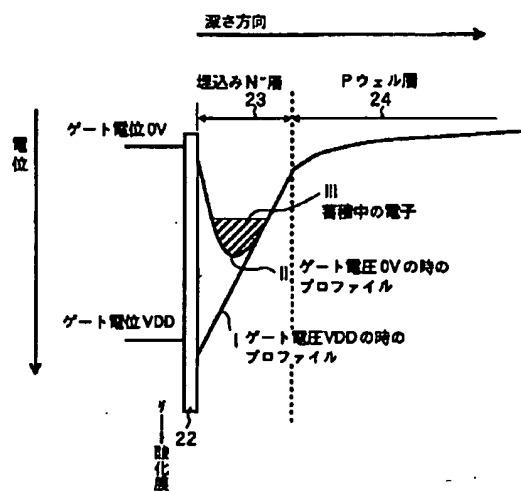
24 Pウェル  
PD フォトダイオード  
Mgx1、Mgx2 スイッチ用MOS型ゲート  
Mccd、Mccd' 蓄積用MOS型ゲート

Mrst リセット用トランジスタ  
Msel 画素選択用トランジスタ  
Mamp 増幅用トランジスタ  
FD フローティングディフュージョン

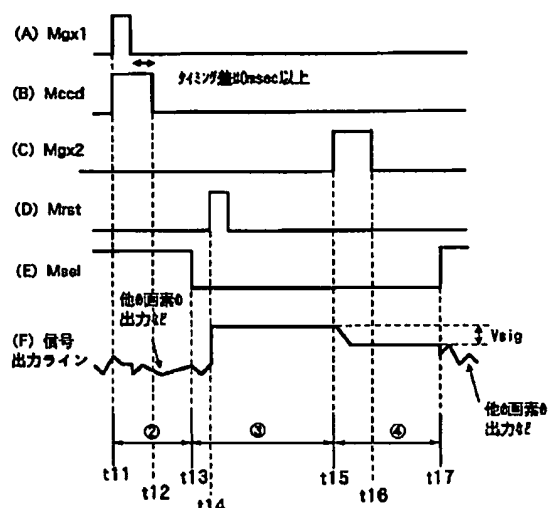
【図1】



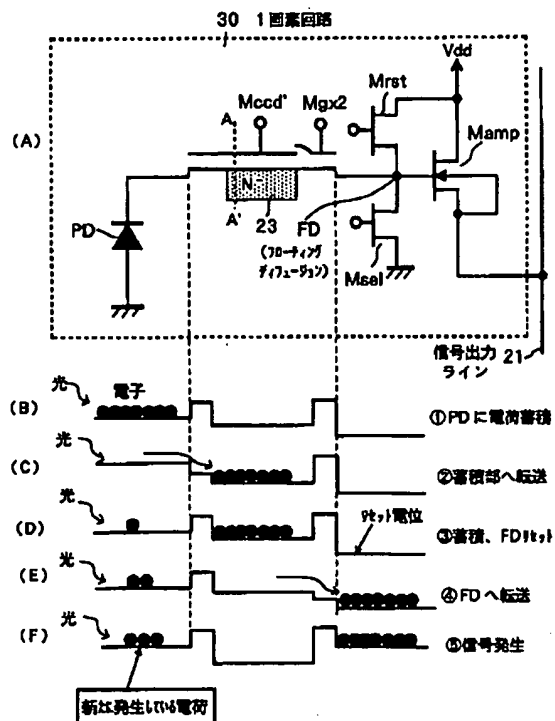
【図3】



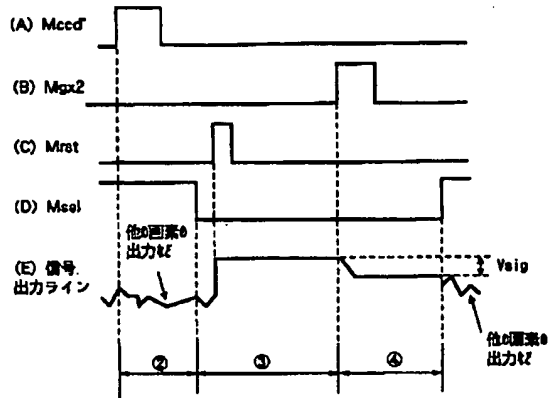
【図2】



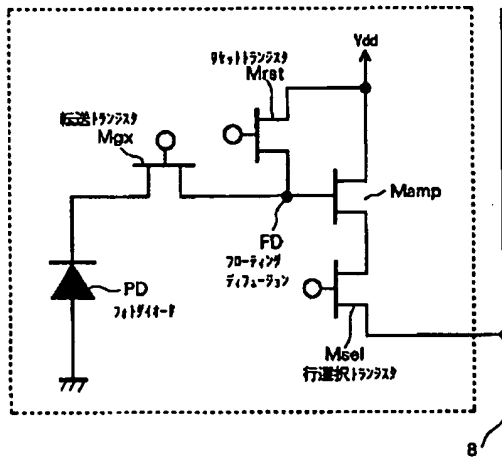
【図4】



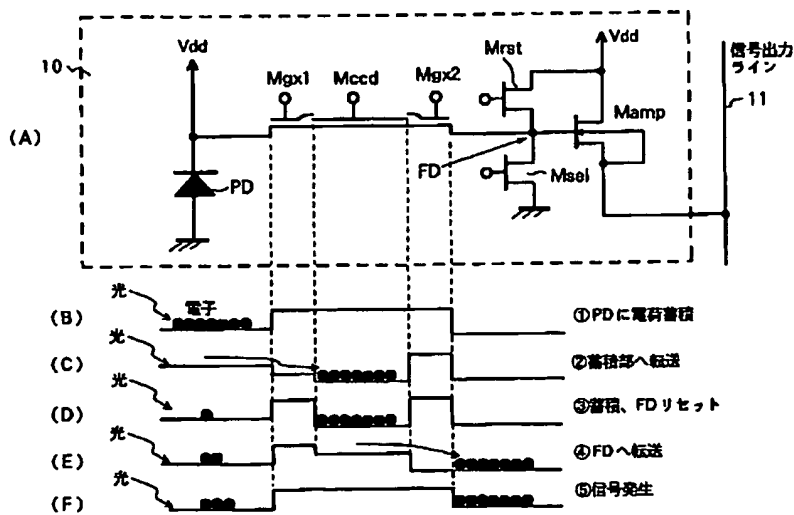
【図5】



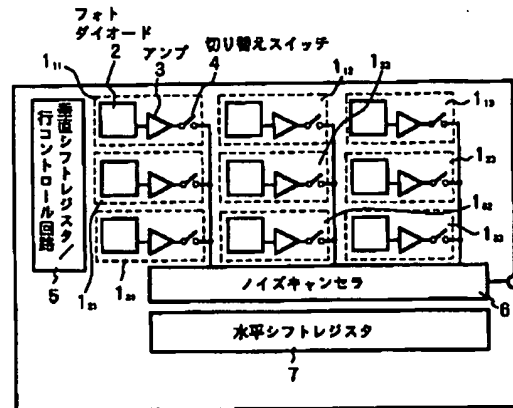
【図7】



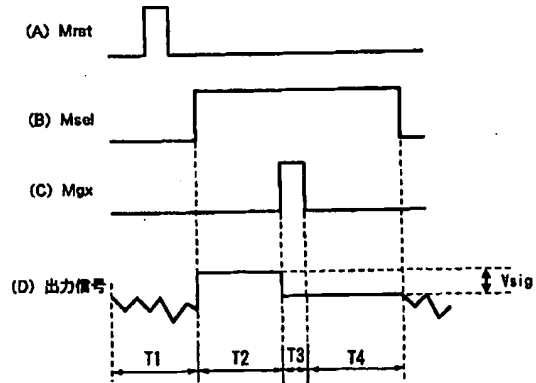
【図9】



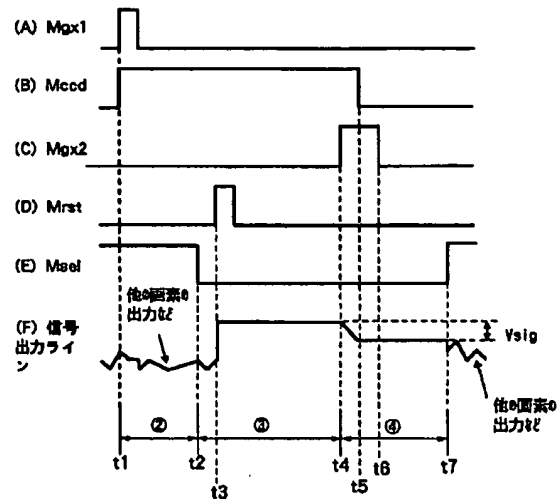
【図6】



【図8】



【図10】



フロントページの続き

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA09  
 DA03 DC05 DD04 DD12 FA06  
 FA34 FA39 FA42  
 5C024 CX03 GX03 GY31 HX40  
 5F048 AA07 AB10 AC10 BA01 BA12  
 BB05 BD04 BE03